

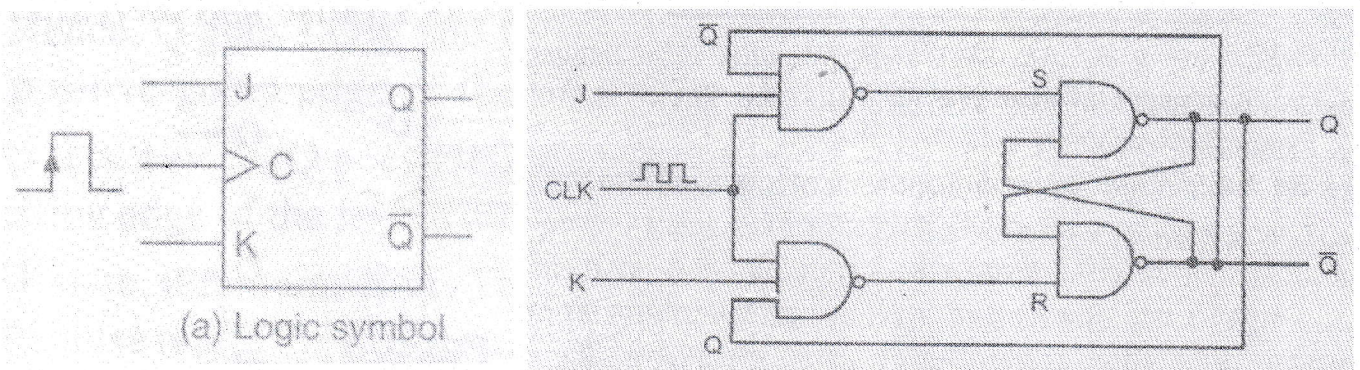
# NMDC DAV POLYTECHNIC DANTEWADA

## Education City, Jawanga Geedam

### JK Flip Flop:-

JK Flip-flop में दो inputs होते हैं जहां J, S(set) का तथा K, R(Reset) का कार्य करता है, और input clock-pulse एवं दो output, Q और  $\bar{Q}$  होते हैं. यह Flip-flop, feedback connection का उपयोग करता है. इससे तात्पर्य यह है कि output को input में connect किया जाता है.

SR Flip-flop में  $S=R=1$  पर SR Flip-flop की state, invalid होती है. यह स्थित एक SR Flip-flop को JK Flip-flop में परिवर्तित करने से समाप्त की जा सकती है. चित्र में JK Flip-flop के block diagram को दर्शाया गया है.



C	J	K	$Q_n$	$Q_{n+1}$	State
↑	0	0	0	0	No Change (NC)
↑	0	0	1	1	
↑	0	1	0	0	Reset
↑	0	1	1	0	
↑	1	0	0	1	Set
↑	1	0	1	1	
↑	1	1	0	1	Toggle
↑	1	1	1	0	
0	x	x	0	0	No Change (NC)
0	x	x	1	1	

(b) Truth table

Truth Table:

J	K	Q	State
0	0	NC	No Change
0	1	0	Reset
1	0	1	Set
1	1	Toggle	Toggle

# NMDC DAV POLYTECHNIC DANTEWADA

## Education City, Jawanga Geedam

---

जब  $clock=0$  होता है, तब दोनों NAND gates के output पर 1 प्राप्त होता है, अतः  $S=R=1$  होने के कारण Q अपनी पूर्व अवस्था में ही रहता है, अर्थात् No Change State में रहता है.

इसी प्रकार जब क्लॉक  $clock=1$  होता है, तब दोनों NAND gates के output पर 0 प्राप्त होता है, अतः JK Flip-flop का output J,K,Q तथा  $\bar{Q}$  के बार पर निर्भर करते हैं.

**जब  $J=0$  तथा  $K=0$  होता है और  $clock=1$  होता है :-**

तब output पूर्व स्टेट के समान रहता है, अतः इस No change condition कहते हैं, अर्थात् Q पर कोई प्रभाव नहीं पड़ता है.

**जब  $J=0$  तथा  $K=1$  होता है और  $clock=1$  होता है:-**

जब NAND Gate का input  $J=0$ (low) और  $K=1$ (high) होता है, तब Flip-flop reset condition में होता है, अर्थात् output  $Q = 0$  होता है

**जब  $S=1$  तथा  $R=0$  होता है और  $clock=1$  होता है:-**

जब NAND Gate का input  $J=1$ (high) और  $K=0$ (low) होता है, तब Flip-flop set condition में होता है, अर्थात् output  $Q = 1$  होता है

**जब  $S=1$  तथा  $R=1$  होता है और Enable(EN) = 1 होता है:-**

जब NAND Gate का input  $S=1$ (high) और  $R=1$ (high) होता है, तब output Q का मान प्रत्येक clock pulse के बाद परिवर्तित होता रहता है, अर्थात् एक clock pulse में zero(0) है तो दूसरा clock pulse पर one(1) ऐसी अवस्था को Toggle State कहते हैं.

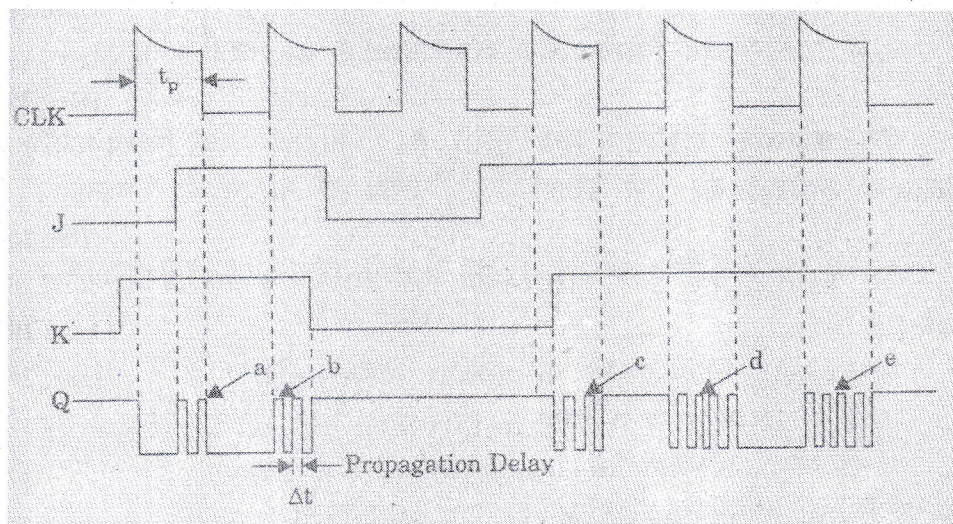
# NMDC DAV POLYTECHNIC DANTEWADA

## Education City, Jawanga Geedam

### Race Around Condition:-

Race Around Condition, JK Flip-flop में पाया जाता है. जब  $J=K=1$  होता है, तब JK Flip-flop का output, toggle mode में चला जाता है, ऐसी स्थिति में clock-pulse=1 मिलते ही इसका output Q में परिवर्तित हो जाता है, यदि clock-pulse( $t_p$ ) की चौड़ाई propagation delay ( $\Delta t$ ) से अधिक होती है तो output एक से ज्यादा बढ़ toggle होती है, ऐसी स्थिति में output का मान सही-सही पता नहीं होता, अतः स्थिति को Race Around Condition कहा जाता है.

Race Around Condition को चित्र में दर्शाया गया है.जहां  $t_p > \Delta t$  है.



### Race Around Condition दूर करना (Eliminating Race Around Condition):-

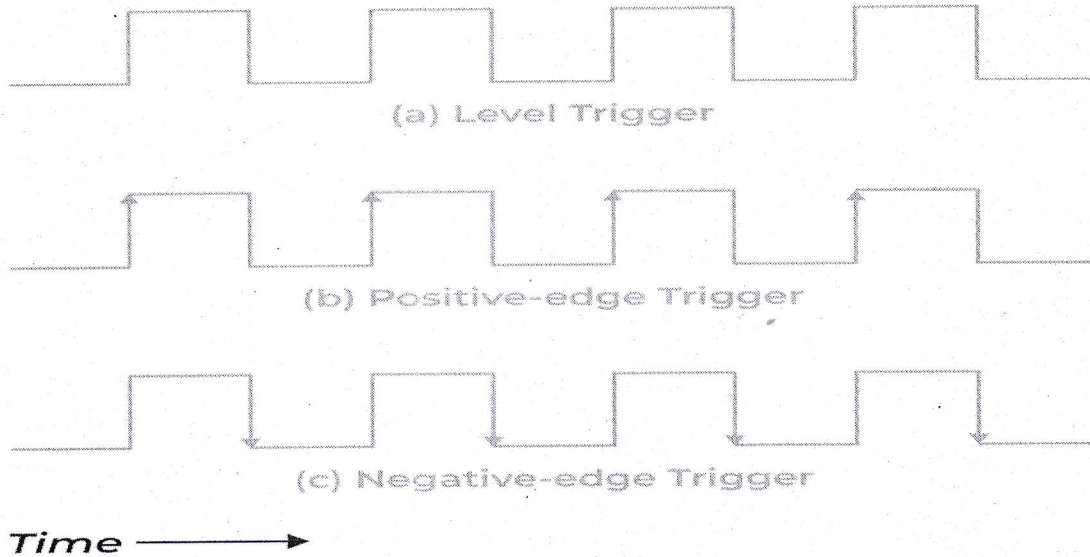
- 1). Edge Triggering
- 2). Master Slave Flip-flop.

# NMDC DAV POLYTECHNIC DANTEWADA

## Education City, Jawanga Geedam

---

**Edge Triggering:-** Edge Triggering दो प्रकार का होता है। Positive edge triggering और negative edge triggering. Clock pulse के बढ़ती हुई edge को positive edge कहते हैं और गिरती हुई edge को negative edge कहते हैं.



Edge triggering में output सिर्फ Positive edge triggering या negative edge पर ही Toggle कर सकता है. इस edge पर Gate पर एक अत्यंत कम समय अंतराल की voltage सप्लाई की जाती है, इतनी कम समय में output एक से ज्यादा बार toggle नहीं कर सकता है.

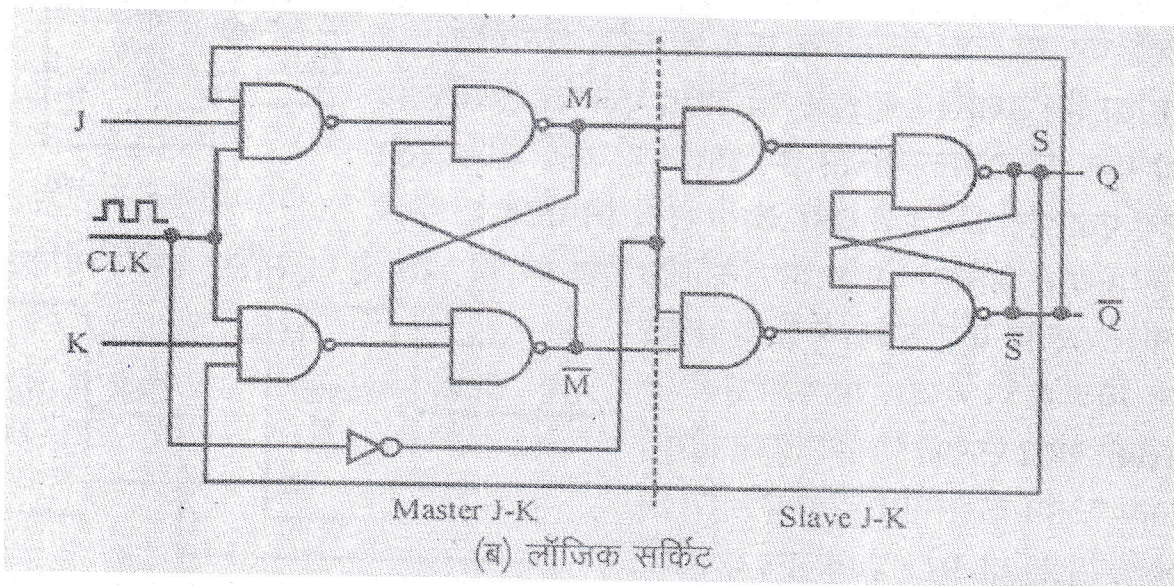
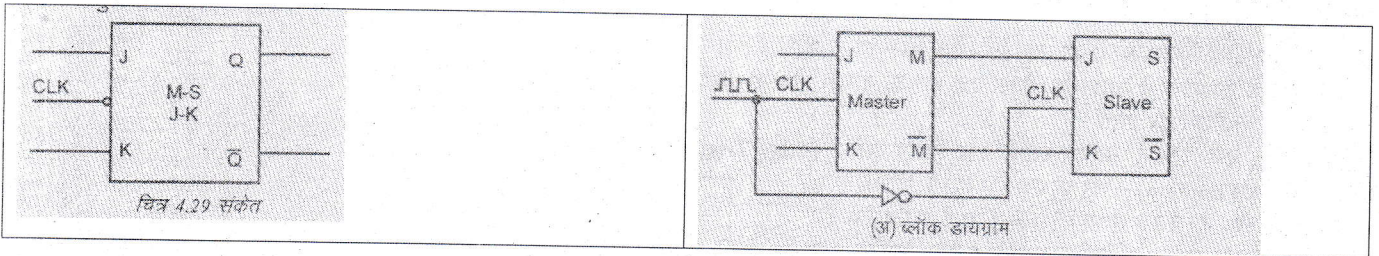
# NMDC DAV POLYTECHNIC DANTEWADA

## Education City, Jawanga Geedam

### Mater Slave Flip Flop:-

Race around condition को दूर करने के लिए Mater flip-flop का उपयोग किया जाता है. Mater Slave flip-flop में दो प्रकार के JK Flip-flop होते हैं, जिन्हे Mater flip-flop तथा Slave Flip-flop कहते हैं. MS Flip-flop में दो inputs होते हैं जहां J, S(set) का तथा K, R(Reset) का कार्य करता है, और input clock-pulse एवं दो output, Q और  $\bar{Q}$  होते हैं. Slave के output को mater के input में जोड़ा जाता है जिसे feedback connection कहते हैं

Input clock-pulse के positive cycle के लिए Mater flip-flop, active होता है, जब Mater flip-flop, active होता है तब Slave Flip-flop, inactive होता है दूसरी ओर जब Input clock-pulse के negative cycle के लिए Slave Flip-flop, active होता है तब Mater flip-flop, inactive होता है. अतः दोनों flip-flop को एक ही clock-pulse द्वारा operate किया जाता है. इसीलिए एक complete cycle में output केवल एक ही बार toggle होता है. अतः इस प्रकार Race around condition दूर होती है.



# NMDC DAV POLYTECHNIC DANTEWADA

## Education City, Jawanga Geedam

C	J	K	Q <sub>n</sub>	Q <sub>n+1</sub>	State
↑	0	0	0	0	No Change (NC)
↑	0	0	1	1	
↑	0	1	0	0	Reset
↑	0	1	1	0	
↑	1	0	0	1	Set
↑	1	0	1	1	
↑	1	1	0	1	Toggle
↑	1	1	1	0	
0	x	x	0	0	No Change (NC)
0	x	x	1	1	

(b) Truth table

Truth Table:

J	K	Q	State
0	0	NC	No Change
0	1	0	Reset
1	0	1	Set
1	1	Toggle	Toggle

जब clock=0 होता है, तब दोनों NAND gates के output पर 1 प्राप्त होता है, अतः S=R=1 होने के कारण Q अपनी पूर्व अवस्था में ही रहता है, अर्थात No Change State में रहता है।

इसी प्रकार जब क्लॉक clock=1 होता है, तब दोनों NAND gates के output पर 0 प्राप्त होता है, अतः JK Flip-flop का output J, K, Q तथा  $\bar{Q}$  के बार पर निर्भर करते हैं।

**जब J=0 तथा K=0 होता है और clock=1 होता है :-**

तब output पूर्व स्टेट के समान रहता है, अतः इस No change condition कहते हैं, अर्थात Q पर कोई प्रभाव नहीं पड़ता है।

**जब J=0 तथा K=1 होता है और clock=1 होता है:-**

जब NAND Gate का input J=0(low) और K=1(high) होता है, तब Flip-flop reset condition में होता है, अर्थात output Q = 0 होता है

**जब S=1 तथा R=0 होता है और clock=1 होता है:-**

जब NAND Gate का input J=1(high) और K=0(low) होता है, तब Flip-flop set condition में होता है, अर्थात output Q = 1 होता है

**जब S=1 तथा R=1 होता है और Enable(EN) = 1 होता है:-**

जब NAND Gate का input S=1(high) और R=1(high) होता है, तब output Q का मान प्रत्येक clock pulse के बाद परिवर्तित होता रहता है, अर्थात एक clock pulse में zero(0) है तो दूसरा clock pulse पर one(1) ऐसी अवस्था को Toggle State कहते हैं।